

Publication number: JP1047167

Publication date: 1989-02-21

Inventor: TSUDA YUKIO

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: *H04N1/387; G06T3/40; H04N1/387; G06T3/40; (IPC1-7): H04N1/387*

- **European:**

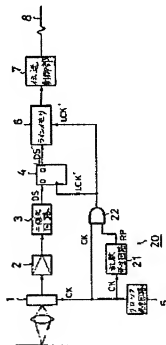
Application number: JP19870203401 19870818

Priority number(s): JP19870203401 19870818

Report a data error here

Abstract of JP1047167

PURPOSE: To obtain a picture with high quality and reproducibility by designating a location of a picture element interleaved or added in plural picture elements in response to a random number generated by a random number generating means so as to attain picture element density convention without causing deterioration in the picture even in case of a dither picture. **CONSTITUTION:** At the time of interleaving one picture element per each 4 picture elements for example, a random pulse RP is generated at its indefinite position for 4 clocks from a random number generating circuit 21, an interleaved latch clock LCK' is outputted from a gate circuit 22 and fed to a latch circuit 4. Thus, the binary picture data DS outputted from a binarization circuit 3 is latched by the circuit 4, then the picture element is interleaved corresponding to the clock LCK' and the data DS is interleaved by each 4 picture elements. Thus, at the time of recording the picture data LDS' interleaved in this way by a line memory 6, the dither pattern is changed irregularly and no longitudinal stripe pattern noise is caused in the reproduced picture. That is, the deterioration in the picture quality is suppressed and the reproduced picture with high quality and reproducibility is obtained.



Data supplied from the **esp@cenet** database - Worldwide

⑪ 公開特許公報(A)

昭64-47167

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月21日

H 04 N 1/387

1 0 1

8420-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 画素密度変換方式

⑮ 特 願 昭62-203401

⑯ 出 願 昭62(1987)8月18日

⑰ 発 明 者 津 田 幸 男 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

画素密度変換方式

2. 特許請求の範囲

画素化された画データを所定の複数画素毎にこの複数画素よりも少数の一定画素ずつ間引くかまたは追加することにより画像の画素密度を変換する画素密度変換方式において、乱数を生ずる乱数発生手段と、この乱数発生手段により発生される乱数に応じて前記所定の複数画素中における間引きまたは追加する画素の位置を指定する画素密度変換手段とを具備したことを特徴とする画素密度変換方式。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、例えばファクシミリ装置において画データの画素密度を変換する方式の改良に関する。

(従来の技術)

ファクシミリ装置等で使用される画像読取装置および記録装置は機種に応じて画素密度が異なる場合があり、この場合には画像の読取り後または記録前に画データの画素密度を変換する必要がある。例えば、主走査方向の画素密度が16dot/mmの画データを画素密度8dot/mmの記録装置に記録させるためには2画素毎に1画素を間引く必要があり、同様に16dot/mmの画データを画素密度400ppi(per inch)の記録装置で記録させるためには83画素毎に1画素を間引く必要がある。これに対し、反対に16dot/mmの画データを画素密度が8dot/mmの記録装置に記録させるためには1画素毎に1画素を追加する必要がある、また400ppiの画データを16dot/mmの記録装置に記録させるためには82画素毎に1画素を追加する必要がある。

第5図はこのような画素密度変換手段を備えたファクシミリ装置の構成の一例を示すもので、読取走査部1により読取られた画信号は先ず増幅器

2で増幅されたのち二値化回路3で二値化され、しかるのちラッチ回路4で1画素ずつラッチされる。ここで、このラッチ回路4のラッチ用クロックLCKには、画素密度変換回路10から出力されるクロックが使用される。すなわち、この画素密度変換回路10は分周器11およびゲート回路12からなり、クロック発生回路5から発生されたクロックCKを分周器11の分周出力GSに従ってゲート回路12でゲート制御し、これによりクロックCKを一定ビット間隔で間引いてこのクロックをラッチ用クロックLCKとしてラッチ回路4に供給する。このため、二値化画データDSはラッチ回路4でラッチされる際に上記ラッチ用クロックLCKに従って一定間隔で画素が間引かれる。すなわち、画素密度の変換が行なわれる。そうしてラッチ回路4からラッチ出力された二値化画データLGはラインメモリ6に一旦記憶されたのち伝送制御部7に送られ、ここで符号化等が行なわれたのち通信回路8へ送出される。このような構成であるから、例えば分周器11の分

周比 n を $n-4$ に設定すれば、第6図に示す如くゲート回路12から一定間隔で4ビット毎に1ビットが間引かれたラッチ用クロックLCKが発生され、このラッチ用クロックLCKに従って二値化画データDSはラッチ回路4で第6図に示す如く4画素毎に1画素(図では2番目の画素と10番目の画素)が間引かれる。第7図(a)、(b)はそれぞれ上記画素を間引く前の画像と間引いた後の画像の一例を示すものである。

ところが、この様な従来の画素密度変換方式は、画素を間引くかまたは追加する場合に一定の画素間隔で、つまり n 画素毎にその中の常に固定された画素位置に対し1画素を間引くかまたは追加するようにしている。例えば上記第6図および第7図の場合には、4画素毎にその中の2画素目の画素を間引くようにしている。このため、ディザ法により二値化された画データに対して上記方式で画素密度変換を行なうと、画素の間引きまたは追加を行なった位置でディザパターンが規則性を持って変化するようになるため、再生画像に縦縞模

様のノイズが現われて画質が劣化する問題があった。

(発明が解決しようとする問題点)

以上のように従来の方式は、ディザ画データに対し画素密度変換を行なった場合に再生画像に周期的に縦縞模様のノイズが発生して画質の劣化を生じるとする問題点を有するもので、本発明はこの点に着目し、ディザ画像に対しては画質の劣化を生じることなく画素密度変換を行なえるようにし、これにより高品質で再現性のある画像を得ることができる画素密度変換方式を提供しようとするものである。

[発明の構成]

(問題点を解決するための手段)

本発明は、画素化された画データを所定の複数画素毎にこの複数画素よりも少数の一定画素ずつ間引くかまたは追加することにより画像の画素密度を変換する画素密度変換方式において、第1図に示す如く乱数を生ずる乱数発生手段Aと、画素密度変換手段Bとを備え、この画素密度変換

手段Bにより、上記乱数発生手段Aで発生される乱数に応じて上記所定の複数画素中における間引きまたは追加する画素の位置を指定するようにしたものである。

(作用)

この結果、所定画素毎に間引きまたは追加される画素の位置は乱数により指定されることになるので、画素が間引きまたは追加される位置はランダムになって周期性はなくなり、これにより縦縞模様等のノイズの発生は低減されて画質の劣化は抑えられる。

(実施例)

第2図は、本発明の一実施例における画素密度変換方式を適用したファクシミリ装置の構成を示す回路ブロック図である。尚、同図において前記第5図と同一部分には同一符号を付して詳しい説明は省略する。

この装置には、乱数発生回路21とゲート回路22とからなる画素密度変換回路20が設けられている。このうち乱数発生回路21は、クロック発生

回路5から発生されるクロックCKに同期して、 n ビット毎にM系列のランダムパターンからなるパルスが発生するもので、このランダムパルスRPをゲート制御信号としてゲート回路22に供給する。ゲート回路22は、クロック発生回路5から発生されるクロックCKを上記ランダムパルスRPに従ってゲート制御し、このゲート制御したクロックをラッチ用クロックLCK'としてラッチ回路4に供給する。

このような構成であるから、いま仮に4画素毎に1画素を間引くものにとすると、乱数発生回路21からは第3図に示す如く4クロック毎にその中の不定位置でランダムパルスRPが発生され、これに応じてゲート回路22からは第3図に示す如く上記ランダムパルスRPの発生位置に対応するクロックが間引かれたラッチ用クロックLCK'が出力され、ラッチ回路4に供給される。このため、二値化回路3から出力された二値化画データDSは、ラッチ回路4でラッチされた際に、上記ラッチ用クロックLCK'の間引かれたクロ

ックの位置に対応する画素が間引かれる。例えば第3図の場合には、LDS'に示すように2画素目、6画素目および9画素目がそれぞれ間引かれる。すなわち、二値化画データDSは4画素毎にそれぞれその中の不特定の画素が間引かれることになる。したがって、この様に間引かれた二値化画データLDS'を受信した装置がこの画データLDS'を記録走査すると、そのディザパターンは不規則に変化することになり、これにより再生画像には縦縞模様様のノイズは発生しない。第4図はその再生画像の一例を示すものである。

このように本実施例であれば、乱数発生回路21から発生されるランダムパルスに従ってランダムに画素を間引きするようにしたので、この間引きによりディザ画像のディザパターンは不規則に変化することになり、これにより再生画像に周期的な縦縞模様様のノイズが発生する不具合は防止される。したがって、画質の劣化は抑制され、高品質で再現性の高い再生画像を得ることができる。

尚、本発明は上記実施例に限定されるものでは

ない。例えば、上記実施例ではラッチ回路4において二値化画データDSの画素の間引きを行なったが、ラインメモリ6に二値化画データDSを記憶する際に画素を間引くようにしてもよい。また、前記実施例では画素を間引く場合を例にとって説明したが、画素を追加する場合にも同様に適用できる。この場合は、画素の追加位置を乱数発生回路21から発生されるランダムパルスにより指定すればよい。さらに前記実施例では、主走査方向について画素密度の変換を行なう場合について説明したが、副走査方向について適用してもよい。また画素密度の変換は、送信側で伝送前に行なう以外に伝送後に受信側で記録前に行なうようにしてもよい。その他、画素密度の変換比率や乱数発生手段および画素密度変換手段の構成等についても、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

【発明の効果】

以上詳述したように本発明によれば、乱数発生手段と、画素密度変換手段とを備え、この画素

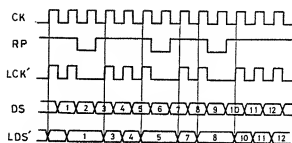
密度変換手段により、上記乱数発生手段で発生される乱数に応じて上記所定の複数画素中における間引きまたは追加する画素の位置を指定するようにしたことによって、ディザ画像に対しても画質の劣化を生じることなく画素密度変換を行なうことができ、これにより高品質で再現性のある画像を得ることができる画素密度変換方式を提供することができる。

4. 図面の簡単な説明

第1図は本発明の画素密度方式の構成を示す機能ブロック図、第2図乃至第4図は本発明の一実施例における画素密度変換方式を説明するためのもので、第2図は同方式を適用したファクシミリ装置の構成を示す回路ブロック図、第3図は同装置の動作説明に使用する信号波形図、第4図は再生画像の一例を示す模式図、第5図乃至第7図は従来の画素密度変換方式を説明するためのもので、第5図は同方式を適用したファクシミリ装置の構成を示す回路ブロック図、第6図は同装置の動作説明に使用する信号波形図、第7図は再生画

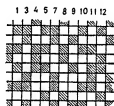
像の一側を示す模式図である。

A … 乱数発生手段、B … 画素密度変換手段、
 1 … 読取走査部、2 … 増幅器、3 … 二値化回路、
 4 … ラッチ回路、5 … クロック発生回路、6 …
 ラインメモリ、7 … 伝送制御部、8 … 通信回路、
 20 … 画素密度変換回路、21 … 乱数発生回路、
 22 … ゲート回路、CK … クロック、RP … ラン
 ダムパルス、LCK' … ラッチ用クロック、DS
 … 二値化画データ、LDS' … 画素密度変換後の
 二値化画データ。

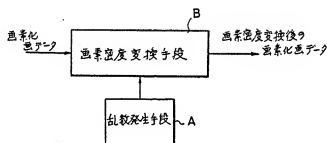


第3図

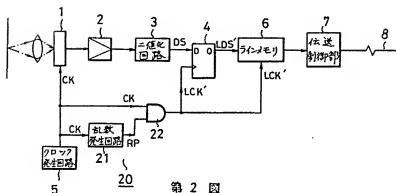
出願人代理人 弁理士 鈴江武彦



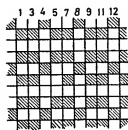
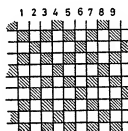
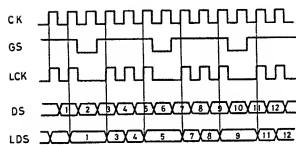
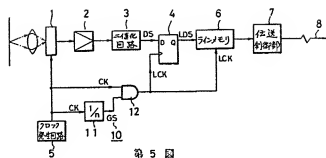
第4図



第1図



第2図



第 7 図